Министерство образования Республики Беларусь

Белорусский государственный Технологический Университет

Факультет Информационных технологий

Лабораторная работа №8

**ТРИГГЕРЫ**

Выполнила:

Студентка 2 курса 1 группы

Кашперко Василиса Сергеевна

**Цель работы:** изучение функционирования триггеров различных типов и экспериментальное определение таблиц состояния (истинности) триггеров.

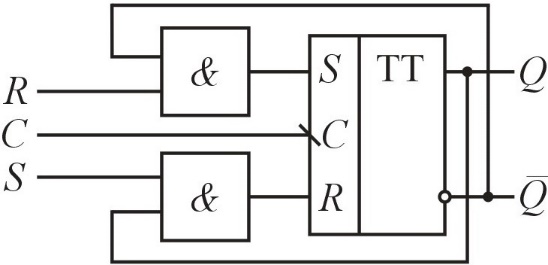
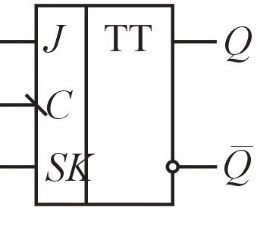
1. **ТЕОРЕТИЧЕСКАЯ ЧАСТЬ**

Триггер — это устройство с двумя устойчивыми состояниями, одно из которых — логический ноль, а другое — логическая единица. Эти состояния триггера при бесперебойном питании и при отсутствии существенных помех и наводок могут сохраняться сколь угодно долго. Под действием управляющих сигналов триггер способен переключаться из одного состояния в другое. Основное назначение триггера — хранение двоичной информации. Например, в персональных компьютерах на триггерах собрана кэш-память первого и второго уровня.

Триггер, в отличие от комбинационных схем, относится к новому виду цифровых устройств — *цифровым автоматам.* Цифровые авто­маты, кроме комбинационных схем, содержат элементы памяти. Если выходные сигналы цифрового автомата зависят как от входных сиг­налов, так и от состояния запоминающего устройства, то такие авто­маты называют автоматами Мили. Если выходные сигналы определя­ются только состояниями запоминающего устройства, то получим автомат Мура. Триггер в соответствии с этой классификацией относят к автоматам Мура.

Различают несколько разновидностей триггеров: *RS*-триггер, *D*-триггер, *JK*-триггер. Реже используются и ниже рассматриваться не будут *DV*-триггер и *T*-триггер. Если для изменения состояния триггера используется синхронизирующий сигнал, то триггер называется *син­хронным* (синхронизируемым). Если синхронизирующие сигналы не используются, то триггер называется *асинхронным.*

Большими функциональными возможностями обладает *JK-триггер.* Схема *JK*-триггера и его условное обозначение показаны на рис. 1, *а*, *б* соответственно.

*а б*

Рис. 8 Схема (*а*) и условное обозначение (*б*) *JK-*триггера

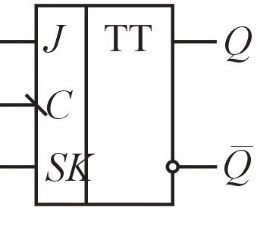
В схему включены два двухвходовых элемента «И», так как на их входы подаются выходные сигналы *RS*-триггера, то один из элементов «И» будет всегда закрыт для прохождения сигналов управления. По этой причине на входы *JK*-триггера можно одновременно подавать еди­ничные сигналы. Как известно, такая комбинация входных сигналов запрещена у *R*S-триггера.

Сигнал на входе *J* инвертирован по отношению к сигналу на входе *SK.* Как видим, двухступенчатый триггер переключается по заднему фронту синхронизирующего сиг­нала. Такая синхронизация называется *динамической.*

Условное обозначение двухступенчатого *RS*-триггера показано на рис. 6. Наличие динамической синхронизации отмечено наклонной чертой. Причем ее наклон соответствует заднему фронту синхроимпульса.

Наличие динамической синхронизации отмечено наклонной чертой. Причем ее наклон соответствует заднему фронту синхроимпульса.

1. **ИССЛЕДОВАНИЕ JK-ТРИГГЕРА**

JK-триггер решает проблему запрещенного кода RS-триггеров. Появление на обоих информационных входах логической единицы приводит к изменению состояния триггера, благодаря обратной связи в цифровой, и положительной обратной связи в аналоговой. Благодаря ей, триггер «переворачивается»: состояние устанавливается, если было сброшено, и, сбрасывается, если было установлено.

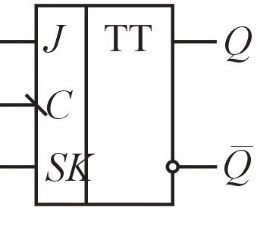
0

1

Устанавливается, если был сброшен

1

1



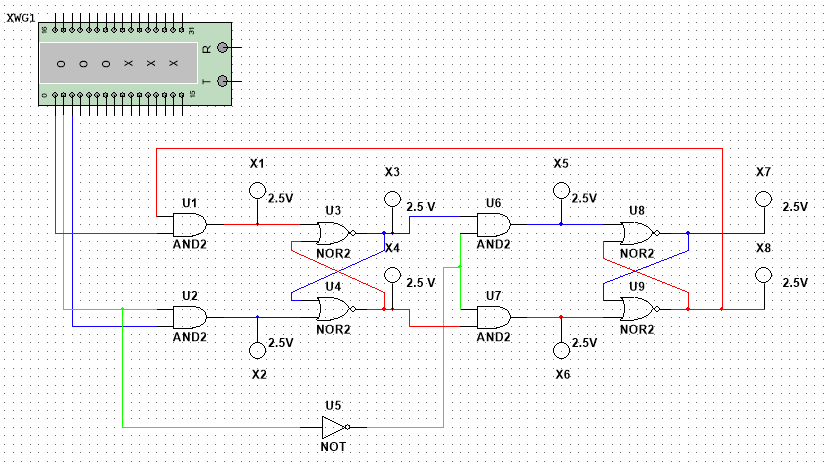
1

1

1

0

Сбрасывается, если был установлен



Построен на основе двухтактового (двуступенчатого) RS триггера. При использовании *двухступенчатого RS-триггера*, допускается соединение его входов и выхо­дов. Двухступенчатый триггер состоит из двух синхронных *RS-*триггеров и дополнительного элемента НЕ. При подаче входных управляющих сигналов и синхросигнала производится запись информации в первый триггер. При этом второй триггер не изменяет своего состояния, так как на его синхровход с инвертора подается логический ноль. Только по окончанию записи в первый триггер при изменении значения синхросигнала с единицы до нуля производится запись во второй триггер двухступенчатой схемы.

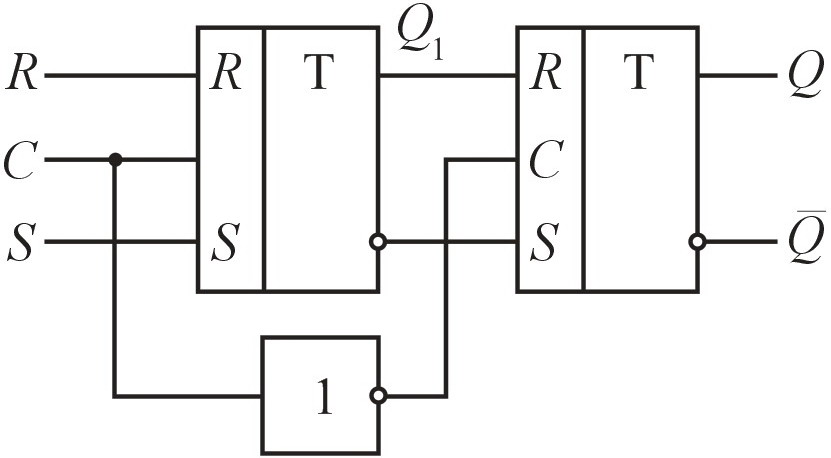
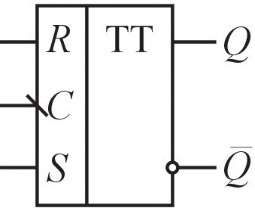


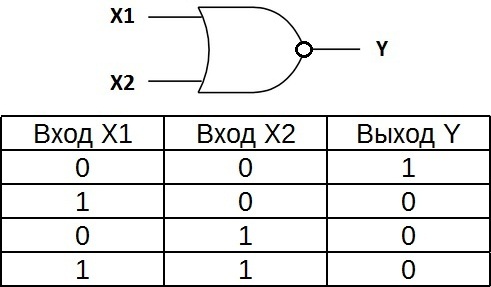
Схема двухступенчатого *RS-*триггера

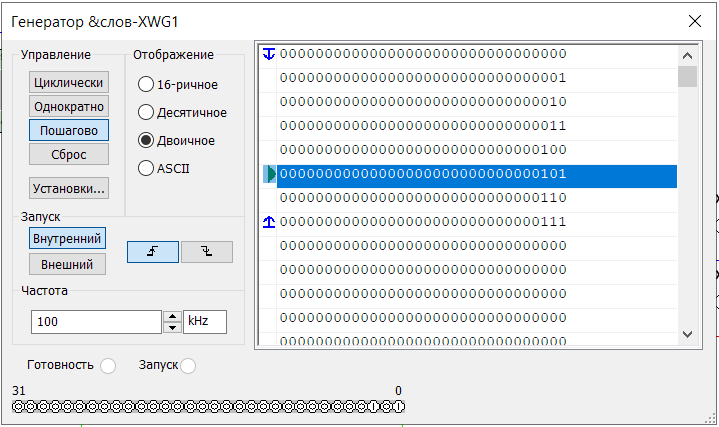
Условное обозначение двухступенчатого *RS*-триггера показано на рисунке ниже. Наличие динамической синхронизации отмечено наклонной чертой. Причем ее наклон соответствует заднему фронту синхроимпульса.



Условное обозначение двухступенчатого *RS*-триггера

«ИЛИ-НЕ» - логический элемент, выполняющий над входными данными операцию логического сложения, и затем операцию логического отрицания, результат подается на выход. Иначе говоря, это элемент «ИЛИ», дополненный элементом «НЕ» - инвертором. На рисунке приведено условное обозначение логического элемента «2ИЛИ-НЕ».





Вход *J* триггера аналогичен входу *S* рассмотренного выше *RS-*триггера, а вход *К*— входу *R RS*-триггера. Если *J=К*=0, то получим режим хранения. Если *J=К*=1, то с приходом синхроимпульса триггер изменяет свое состояние на противоположное.



Таблица истинности JK-триггера

**Вывод:** в ходе лабораторной работы мы изучили функционирования триггеров различных типов и экспериментально определили таблицы истинности триггеров.